

# ЦИФРОВАЯ СИСТЕМА УПРАВЛЕНИЯ I<sup>2</sup>S

А. КОННОВ, А. ПЕСКИН, г. Москва

О системе (шине) управления I<sup>2</sup>S уже было очень кратко рассказано в статье К. Быструшкина и С. Кубрака "Аналого-цифровые телевизоры пятого поколения линии ТЦИ-АЦ" ("Радио", 1994, № 3, с. 8), а применительно к получению "картинки в картинке" — в статье Б. Хохлова "Модуль "кадр в кадре" на микросхемах SDA90\*\*\*" ("Радио", 1995, № 11, с. 7). Для понимания работы телевизоров и другой аппаратуры при управлении двунаправленной системой мы и помещаем более подробную информацию.

Цифровая система (шина) управления I<sup>2</sup>S разработана фирмой Philips для применения в бытовой радиоаппаратуре и, в частности, в телевизорах. Она обеспечивает пересылку цифровой информации (данных) и управление микросхемами, имеющими интерфейсы I<sup>2</sup>S. Включение последних в состав микросхем существенно уменьшает число их управляющих выводов и упрощает трассировку печатной платы.

Помимо I<sup>2</sup>S, существуют и другие разновидности систем (шин) управления аппаратурой, например, S-шина, разработанная фирмой SGS-Thomson, или IM-шина, предложенная фирмой ITT. Однако система I<sup>2</sup>S пока наиболее распространена. Ее название происходит от английской аббревиатуры IIC — integrated circuit, обозначающей связь между интегральными микросхемами.

I<sup>2</sup>S представляет собой последовательную двунаправленную шину (магистраль), позволяющую передавать поток цифровой информации в обоих направлениях со скоростью до 100 Кбит/с. К магистральной I<sup>2</sup>S подключают одновременно несколько интегральных микросхем, причем каждая из них имеет свой индивидуальный адрес. Ограничивающим при этом служит суммарная емкость, которая не должна превы-

шать 400 пФ. Максимальная длина магистральной — 4 м.

Подключаемые интегральные микросхемы могут быть ведущими, инициирующими обмен информацией (например, микроконтроллеры управления), и ведомыми. Причем к магистральной I<sup>2</sup>S одновременно можно подключить несколько ведущих устройств, так как в ней поддерживается процедура арбитража (состязания).

Шина I<sup>2</sup>S образована двумя двунаправленными последовательными линиями: данных — SDA и тактовой частоты (синхронизации) — SCL. Каждая линия должна быть подключена к плюсовому проводнику источника питания через резистор R<sub>в</sub>. Схема их подключения изображена на рис. 1. Выходные каскады микросхем, подключаемые к шине, имеют открытый сток или открытый коллектор. Резистор R<sub>в</sub> обеспечивает уровень 1 при закрытии всех транзисторов.

Передача информации по шине I<sup>2</sup>S обеспечивается побитно. Каждому передаваемому биту по линии SDA соответствует генерируемый тактовый импульс на линии SCL. Передаваемая информация в виде постоянного уровня 0 или 1 на линии SDA в течение тактового импульса на линии SCL (уровень 1) должна быть неизменной. Смена информации происходит

только в состоянии 0 линии SCL. Эта ситуация показана на диаграммах рис. 2.

В магистральной I<sup>2</sup>S передача информации начинается с режима "Старт", а заканчивается режимом "Стоп". Эти условия формируются ведущим устройством и их вид представлен диаграммой на рис. 3. Режим "Старт" возникает при переходе уровня на линии SDA из состояния 1 в 0 при уровне 1 на линии SCL. При том же уровне 1 на линии SCL во время перехода на линии SDA уровня из состояния 0 в 1 формируется режим "Стоп". После режима "Старт" магистраль считается занятой и освобождается только после режима "Стоп".

Информация передается по шине I<sup>2</sup>S в виде последовательных байтов, состоящих из восьми битов, при этом первым передается старший бит. На рис. 3 видно, что каждому тактовому импульсу из 1–8 на линии SCL соответствует передаваемый бит (1 или 0) на линии SDA. В конце каждого байта информации следует сигнал подтверждения, формируемый на линии SCL приемником. Тактовый импульс подтверждения приема генерируется ведущим устройством (импульс 9 на рис. 3). Кроме того, он переводит линию SDA в состояние 1 ("отпускает"). При приеме байта информации приемник во время прохождения тактового импульса подтверждения приема должен перевести линию SDA в состояние 0, причем оно действует в течение всего тактового импульса подтверждения. Если приемник, к которому происходит обращение, не генерирует сигнал подтверждения (не может принять информацию), линия SDA в момент тактового импульса подтверждения остается в состоянии 1. В этом случае ведущее устройство переходит в режим "Стоп" и прекращает передачу информации. Следовательно, приемник может прервать передачу после любого переданного байта. Кроме того, если приемник не может принять очередной байт, он на некоторое время задерживает передачу информации, переводя линию SCL на уровень 0. Это же происходит и в случае приема каждого бита.

Для достоверной передачи информации по шине I<sup>2</sup>S необходимо синхронизировать работу передатчика (ведущего устройства) и приемника, так как к шине

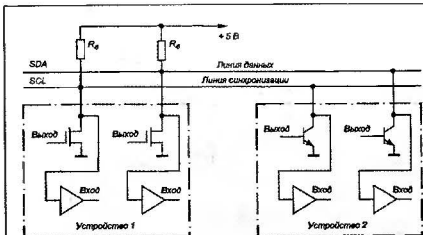


Рис. 1

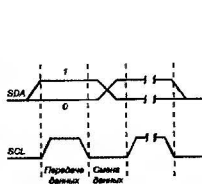


Рис. 2

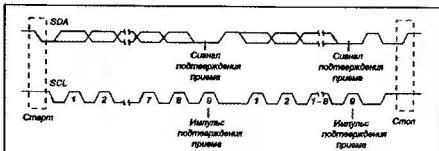


Рис. 3

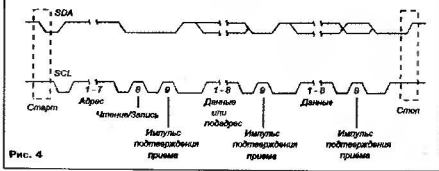


Рис. 4

может быть подключено несколько ведущих устройств с различными тактовыми частотами, а приемные микросхемы могут иметь различные быстродействия. Синхронизация обеспечивается формированием тактовых импульсов, причем в процессе их формирования участвуют как передатчик, так и приемник. Когда ведущее устройство переводит уровень на линии SCL из 1 в 0, микросхемы-приемники начинают отсчет тактового импульса, одновременно поддерживая в состоянии 0 линию SCL. Как только внутренний тактовый импульс микросхемы приемника перейдет из уровня 0 в 1, линия SCL будет "отпущена". При этом другая микросхема приемника с более длительным тактовым импульсом может все еще удерживать линию SCL в состоянии 0. Следовательно, уровень на линии SCL формируется микросхемой с самой большой длительностью тактовых импульсов. Микросхемы, обрабатывающие быстрее, в это время находятся в ожидании. Как только линия SCL будет "отпущена" (перейдет в состояние 1), микросхемы-приемники начнут отсчет импульса (уровень 1). Микросхема с самым коротким тактовым импульсом переведет линию SCL в состояние 0, завершив форми-

вание тактового импульса на этой линии. Поскольку по магистрали одновременно может быть подключено несколько ведущих устройств, необходимо решить проблему состязания между ними при одновременной передаче информации. При этом выигрывает устройство, которое первым подает уровень 0 на линию SDA. Процесс состязания может продолжаться в течение передачи нескольких бит, если обращение идет к одному и тому же приемнику. Прогрессируя состязание ведущее устройство переходит в режим приемника.

Формат передачи информации по шине I<sup>2</sup>C показан на рис. 4. После формирования режима "Старт" ведущее устройство передает восьмибитную последовательность, состоящую из самобитного адреса приемника, к которому идет обращение, и восьмого бита, определяющего направление передачи информации. После того как последовательно по шину I<sup>2</sup>C ведущее устройство подает сигналы адреса приемника, микросхемы сравнивают сам бит адреса. Если они совпадают для какой-нибудь микросхемы, то она анализирует восьмой бит, чтобы определить направление передачи. Когда этот бит имеет значение 0, ведущая устрой-

во будет передавать информацию приемнику. В случае если бит имеет значение 1, ведущая устройство запросит информацию от приемника.

После того как приемник сформирует сигнал подтверждения адреса (девятый бит), ведущее устройство начинает передавать восьмибитные последовательности информации. Прием каждой последовательности также подтверждается приемником. Передача информации заканчивается формированием режима "Стоп".

В магистрали используется формат, когда в одной послышке информации формируются дополнительные режимы "Старт". Ведущее устройство после передачи информации в адрес одного приемника может не закончить передачу режимом "Стоп", а сформировать снова режим "Старт", направить в магистраль сигналы адреса нового приемника и передать ему информацию, после чего установить режим "Стоп".

Адреса микросхем, подключаемых к шине I<sup>2</sup>C, определяются комитетом по магистрали I<sup>2</sup>C и позволяют однозначно идентифицировать любую микросхему. Группы микросхем могут иметь одинаковый адрес. В этом случае после подтверждения адреса передается восьмибитный подадрес, который позволяет из группы выделить нужный приемник. После этого продолжается аналогичная процедура передачи информации. Информация об адресе, подадресе и типе передаваемой информации дана в описании конкретной микросхемы. При этом нужно учесть, что адреса F0H—FFH (шестнадцатиреци-исчисление) зарезервированы под расширение, а адреса 00H—0FH определены как специальные. Для некоторых микросхем, подключаемых к шине I<sup>2</sup>C, адрес состоит из постоянной части и программируемой. Программируемая часть адреса изменяется либо аппаратно (поданной нужного напряжения на определенные выводы микросхемы), либо программно (предварительной установкой по шине I<sup>2</sup>C). Наличие такой возможности позволяет подключить к шине несколько однотипных микросхем. Программирование микросхем обеспечивается в рамках поданы адреса "общего вызова" (передача адреса 00H). При этом происходит обращение ко всем микросхемам, подключенным к магистрали. Второй байт, передаваемый после адреса "общего вызова", определяет процедуру записи адреса. Адрес 01H служит стартовым байтом, его используют в качестве режима "Старт" при низкоскоростном ведущем устройстве. Шина I<sup>2</sup>C позволяет подключить микросхемы, изготовленные по различным технологиям. При работе с напряжением питания 5 В уровень 0 должен быть не более 1,5 В, уровень 1 — не менее 3 В. Минимальная длительность уровня 0 тактового импульса равна 4,7 мкс, а минимальная длительность уровня 1 тактового импульса равна 4 мкс. При этом максимальная тактовая частота — 100 кГц. Максимальное время нарастания фронтов в линиях SDA и SCL — не более 1 мкс, а время спада импульсов — не более 0,3 мкс.

Пример использования шины I<sup>2</sup>C в цветном телевизоре изображением показан на структурной схеме рис. 5.

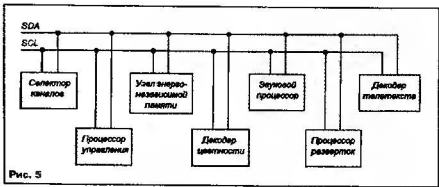


Рис. 5